

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003919

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 21/314

(21)Application number : 10-168602

(71)Applicant : NEC CORP

(22)Date of filing : 16.06.1998

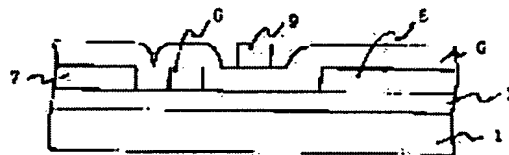
(72)Inventor : MIZUTA MASASHI  
KUZUHARA MASAOKI  
NASHIMOTO YASUNOBU  
ASANO KAZUNORI  
MIYOSHI YOSUKE  
MOCHIZUKI YASUNORI

## (54) FIELD EFFECT TRANSISTOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve dielectric characteristics and high frequency characteristics, by forming a field control electrode between a gate electrode and a drain electrode on the top of a channel layer via an insulating film

**SOLUTION:** A gate electrode 5 is arranged between a source electrode 7 and a drain electrode 8, and the gate electrode 5 is joined to a channel layer 2 in a Schottky junction. A field control electrode using tungsten silicide, aluminum, gold, titanium/platinum/gold is formed in a region between the gate electrode 5 and the drain electrode 8, where the gate electrode 5 and the drain electrode 8 do not exist via an insulating film 6 formed on the top of the channel layer 2. Further, the distance between the gate electrode 5 and the drain electrode 8 is made larger than the distance between the gate electrode 5 and the source electrode 7. This can diffuse and relax field concentration generated at the bottom of the gate electrode 5 and can improve dielectric characteristics.



## LEGAL STATUS

[Date of request for examination]

16.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3111985  
[Date of registration] 22.09.2000  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-3919

(P2000-3919A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード<sup>\*</sup>(参考)

H 0 1 L 21/338

H 0 1 L 29/80

F 5 F 0 5 8

29/812

21/314

A 5 F 1 0 2

21/314

審査請求 有 請求項の数16 O L (全 11 頁)

(21) 出願番号 特願平10-168602

(22) 出願日 平成10年6月16日(1998.6.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水田 正志

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 葛原 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

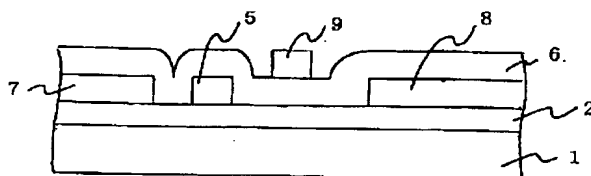
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】 高い耐圧特性と良好な高周波特性を兼ね備えたショットキ・ゲート電界効果型トランジスタを提供する。

【解決手段】 ゲート電極5とドレイン電極8との間に、チャンネル層2の上部に絶縁膜6を介して電界制御電極9を形成する。



1 GaAs基板

7 ソース電極

2 チャンネル層

8 ドレイン電極

5 ゲート電極

9 電界制御電極

6 絶縁膜

**【特許請求の範囲】**

【請求項1】 表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極と前記ドレイン電極との間に、前記チャンネル層の上部に絶縁膜を介して電界制御電極が形成されたことを特徴とする電界効果型トランジスタ。

【請求項2】 前記電界制御電極と、前記チャンネル層と、これらに挟まれた前記絶縁膜とで形成される単位面積当たりの静電容量は、ゲート電極側がドレイン電極側よりも大きくなっていることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項3】 前記電界制御電極直下の前記絶縁膜の厚みは、ゲート電極側がドレイン電極側よりも薄いことを特徴とする請求項1または2に記載の電界効果型トランジスタ。

【請求項4】 前記電界制御電極のドレイン電極側の部分にまたは二以上の孔が形成されたことを特徴とする請求項1乃至3いずれかに記載の電界効果型トランジスタ。

【請求項5】 前記電界制御電極のドレイン電極側の端部が歯状形状を有することを特徴とする請求項1乃至4いずれかに記載の電界効果型トランジスタ。

【請求項6】 前記電界制御電極直下の前記絶縁膜の誘電率が、前記ゲート電極側から遠ざかるにつれて低くなっていることを特徴とする請求項1乃至5いずれかに記載の電界効果型トランジスタ。

【請求項7】 前記絶縁膜が、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸ストロンチウム ( $\text{SrTiO}_3$ )、チタン酸バリウム ( $\text{BaTiO}_3$ )、チタン酸バリウム・ストロンチウム ( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$  ( $0 < x < 1$ ))、タンタル酸ビスマス・ストロンチウム ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) より選ばれるいずれかの高誘電率膜であることを特徴とする請求項1乃至6いずれかに記載の電界効果型トランジスタ。

【請求項8】 前記電界制御電極の下にフロート電極が設けられたことを特徴とする請求項1乃至7いずれかに記載の電界効果型トランジスタ。

【請求項9】 前記電界制御電極が複数設けられたことを特徴とする請求項1乃至8いずれかに記載の電界効果型トランジスタ。

【請求項10】 前記電界制御電極が複数設けられ、各々の電界制御電極直下の絶縁膜の誘電率は、前記ゲート電極側から遠ざかるにつれて低くなっていることを特徴とする請求項1乃至8いずれかに記載の電界効果型トランジスタ。

【請求項11】 前記ゲート電極と前記ソース電極との間に、前記チャンネル層の上部に絶縁膜を介してサブ電

極がさらに設けられたことを特徴とする請求項1乃至10いずれかに記載の電界効果型トランジスタ。

【請求項12】 表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極と前記ソース電極との間に、前記チャンネル層の上部に絶縁膜を介してサブ電極が形成されたことを特徴とする電界効果型トランジスタ。

【請求項13】 前記ゲート電極と前記ドレイン電極との間の距離は、前記ゲート電極と前記ソース電極との間の距離よりも長いことを特徴とする請求項1乃至12いずれかに記載の電界効果型トランジスタ。

【請求項14】 リセス構造を有する請求項1乃至13いずれかに記載の電界効果型トランジスタ。

【請求項15】 前記チャンネル層は、III-V族化合物半導体からなることを特徴とする請求項1乃至14いずれかに記載の電界効果型トランジスタ。

【請求項16】 増幅回路または発振回路を構成する請求項1乃至15いずれかに記載の電界効果型トランジスタ。

**【発明の詳細な説明】**

【0001】

【発明の属する技術分野】本発明は、移動通信、衛星通信、及び衛星放送等のマイクロ波領域で動作するショットキ・ゲート電界効果トランジスタに関する。

【0002】

【従来の技術】化合物半導体はSiに較べて大きな電子移動度を有しており、例えばGaAsの電子速度はSiに比較して低電界では約6倍、高電界では2～3倍大きい。この電子の高速性を利用して、高速デジタル回路素子あるいは高周波アナログ回路素子としての応用が進んでいる。

【0003】しかし、化合物半導体を用いた電界効果型トランジスタ（以下、適宜「FET」と称す）は、ゲート電極が基板のチャンネル層とショットキ接合しているため、ゲート電極のドレイン側の下端（図12囲み部）に電界が集中し、破壊の原因となることがあった。このことは、大信号動作を必要とする高出力FETの場合、特に大きな問題となる。

【0004】そこで、このゲート電極のドレイン側エッジ部の電界集中を防止し、耐圧特性の向上を図る試みが従来から盛んに行われてきた。

【0005】その一例として、リセス構造やオフセット構造を用いた技術が知られている。

【0006】また、耐圧向上を図る他の技術として、特開平9-232827号公報記載の技術がある。この技術はスイッチ回路を構成するFETに関するものであり、図11のように、ゲート電極を覆うようにカバー電

極 20 を形成し、このカバー電極 20 の電位を制御することによって耐圧特性の向上を図るものである。

【0007】

【発明が解決しようとする課題】しかしながら上記従来技術は、それぞれ以下のような課題を有していた。

【0008】リセス構造やオフセット構造を有する FET は、一定程度、耐圧特性が向上するものの、かかる手段のみでは現在望まれている水準の十分な耐圧特性を得ることは困難である。

【0009】また、特開平 9-232827 号公報記載の FET は、特許請求の範囲に記載されているとおりスイッチ回路に用いられるものである。したがって、増幅回路や発振回路に用いられる FET と異なり、良好な高周波特性を得るのに適した構造とはなっていない。この点について、以下、説明する。

【0010】上記公報記載の FET は、図 11 のようにカバー電極がゲート電極上部からドレイン電極上部にまで延在している。このため、チャンネル層とカバー電極間に大きな寄生容量が発生し、動作速度が低下して高周波特性が損なわれる。

【0011】さらに、図 11 においてゲート電極 5 とカバー電極 20 とが同電位に保たれ、かつ、これらがオーバーラップしているため、電界制御電極とドレイン電極との間にも寄生容量 21 が生じる。このことも高周波特性を損なう原因となる。この点について以下、説明する。

【0012】このタイプの FET の電流利得遮断周波数  $f_t$  は式 (1) のように表される。

【0013】

【数 1】

$$f_t = \frac{g_m}{2\pi(C_g + C_p)} \quad (1)$$

【0014】式中、 $C_g$  はゲート電極容量、 $C_p$  は電界制御電極下の寄生容量である。上記公報記載の技術では、寄生容量 21 の  $C_p$  の値が大きいため、電流利得遮断周波数  $f_t$  が小さくなる。ここで  $f_t$  は最大発振周波数  $f_{max}$  と比例関係にある (式 (2))。

【0015】

【数 2】

$$f_{max} \propto f_t \quad (2)$$

【0016】したがって、 $C_p$  が大きくなることにより最大発振周波数  $f_{max}$  の値が小さくなり、適用可能な周波数が低下することとなるのである。

【0017】このように、良好な高周波特性を維持しつつ電界集中を防止し耐圧を向上させることは、従来技術では困難であった。

【0018】そこで、本発明は、高い耐圧特性と、良好な高周波特性を兼ね備えた電界効果型トランジスタを提供することを目的とする。

【0019】

【課題を解決するための手段】上記課題を解決する本発明によれば、表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極と前記ドレイン電極との間に、前記チャンネル層の上部に絶縁膜を介して電界制御電極が形成されたことを特徴とする電界効果型トランジスタが提供される。ここで電界制御電極は、ゲート電極と接続され同電位に保たれることが好ましいが、ゲート電極と異なる独立の電位がかけられていてもよい。

【0020】電界制御電極は、イオン化したドナーを起点とする電気力線を終端させる作用を有する。このため、電界制御電極を設けることによりゲート電極のドレイン側エッジ部に発生する電界集中が分散・緩和され、耐圧特性が向上する。また、本発明において電界制御電極はゲート電極やドレイン電極とオーバーラップする部分を有しないため、従来技術のような、電界制御電極とドレイン電極との間の寄生容量の問題が生じない。

【0021】また本発明によれば、表面にチャンネル層が形成された半導体基板と、前記半導体基板上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に配置され、前記チャンネル層とショットキ接合したゲート電極とを有し、前記ゲート電極と前記ソース電極との間に、前記チャンネル層の上部に絶縁膜を介してサブ電極が形成されたことを特徴とする電界効果型トランジスタが提供される。

【0022】このようなサブ電極を設けた FET では、サブ電極にプラスの電圧を印加することにより素子が低抵抗化され、高効率化を図ることができる。サブ電極はドレイン電極と接続することが好ましい。

【0023】また、サブ電極を設けるとともに、前記ゲート電極と前記ドレイン電極との間に、前記チャンネル層の上部に絶縁膜を介して一または二以上の電界制御電極をさらに設けた構成とすることもできる。このような構成の FET では、サブ電極にプラス電圧、電界制御電極にマイナス電圧というように、各電極に異なる電圧を印加することで、高効率化とともに高耐圧化を図ることが可能となる。この構成の FET では、サブ電極をドレイン電極に、電界制御電極をゲート電極に、それぞれ接続することが好ましい。

【0024】

【発明の実施の形態】

【0025】本発明における電界制御電極の幅は、好ましくは  $0.1 \mu m$  以上、さらに好ましくは  $0.1 \mu m$  以上  $2 \mu m$  以下とする。このような範囲とすることで、良好な高周波特性を維持しつつ耐圧特性を改善することができる。また電界制御電極直下の絶縁膜の厚みは、好ましくは  $10 \sim 1000 nm$ 、さらに好ましくは  $100 \sim$

300nmである。絶縁膜を厚くしすぎると、電界緩和効果が小さくなる。一方、絶縁膜を薄くしすぎると絶縁膜の破壊や電流リークが発生することがある。

【0026】本発明の電界効果型トランジスタにおいて、電界制御電極と、チャンネル層と、これらに挟まれた絶縁膜とで形成される単位面積当たりの静電容量は、ゲート電極側がドレイン電極側よりも大きくなっていることが好ましい。このようにすることによって、ドレイン側において電界制御電極の効き方を緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を効果的に向上させることができる。

【0027】ここで、上記静電容量の大きさは式(3)のように表される。

$$C = \epsilon S / d \quad (3)$$

(C: 容量  $\epsilon$ : 誘電率 S: 電極面積 d: 電極間距離)

したがって、上述の電界効果型トランジスタの構成として、ゲート電極から遠ざかるにつれて、電極間距離d、電極面積S、または誘電率 $\epsilon$ のいずれかを変化させた構成が考えられる。具体的には、以下のものが挙げられる。

①電界制御電極直下の絶縁膜の厚みが、ゲート電極側がドレイン電極側よりも薄くなっている電界効果型トランジスタ。この構成は、電極間距離dを変化させることにより静電容量の値を変化させたものである。

②電界制御電極のドレイン電極側の部分に一または二以上の孔が形成されている電界効果型トランジスタ。この構成は、電極面積Sを変化させることにより静電容量の値を変化させたものである。このような構造の電界制御電極の例を図5(c)に示す。この構成における「孔」とは電界制御電極を貫通する穴をいい、いかなる形状であってもよい。また、「ドレイン電極側の部分」とは、図5(c)のように電界制御電極を上方からみたときのドレイン側の縁に沿った部分をいう。

③電界制御電極のドレイン電極側の端部が櫛歯形状を有する電界効果型トランジスタ。この構成は、電極面積Sを変化させることにより静電容量の値を変化させたものである。ここで、櫛歯形状とは電界制御電極の縁の部分が、例えば図5(a)、(b)のように入り組んだ形状となっていることをいう。ただし図面に示した例に限定されるものではなく、電極の実質面積がドレイン電極側で狭くなるように縁の部分が入り組んだ形状となっていればよい。

④電界制御電極直下の絶縁膜の誘電率が、ゲート電極側から遠ざかるにつれて低くなっている電界効果型トランジスタ。この構成は、誘電率 $\epsilon$ を変化させることにより静電容量の値を変化させたものである。

【0028】また、本発明の電界効果型トランジスタにおいて、絶縁膜は、酸化タンタル( $Ta_2O_5$ )、チタン

酸ストロンチウム( $SrTiO_3$ )、チタン酸バリウム( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム( $Ba_xSr_{1-x}TiO_3$  ( $0 < x < 1$ ))、タンタル酸ビスマス・ストロンチウム( $SrBi_2Ta_2O_9$ )より選ばれるいずれかの高誘電率膜であることが好ましい。このような高誘電率膜を用いれば、絶縁膜をある程度厚膜とすることができ、絶縁膜の破壊や電流リークを防止することができる。上記の材料からなる絶縁膜とした場合、絶縁膜の厚みは、好ましくは50~1000nm、さらに好ましくは100~300nmとする。このような範囲とすることで、良好な高周波特性を維持しつつ耐圧特性を改善することができる。

【0029】本発明の電界効果型トランジスタにおいて、電界制御電極の下にフロート電極を設けることもできる。このようにすることによって、電界制御電極に対する印加をオフにしたときでもフロート電極に電子が保持され、ゲート電極のドレイン側エッジ部の電界集中が分散・緩和される。

【0030】本発明の電界効果型トランジスタにおいて、電界制御電極を複数設けることもできる。このようにすることによって、電界集中をより効率的に緩和することができる。この場合、各電界制御電極に印加する電圧は、同じであっても異なってもよい。例えば、すべての電界制御電極をゲート電極と接続し同電位とすることができる。また、複数の電界制御電極のうち、ゲート電極に最も近いものをゲート電極と同電位にし、それ以外のものの一部をソース電極と同電位とすることもできる。このようにすることによってゲートドレイン間容量を低減することができる。また、複数の電界制御電極に印加される電圧をダイナミックに変動させてもよい。

【0031】また電界制御電極を複数設ける場合、各々の電界制御電極直下の絶縁膜の誘電率が、ゲート電極側から遠ざかるにつれて低くなっている構成とすることもできる。このようにすることによって、ドレイン側において電界制御電極の効き方を緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を効果的に向上させることができる。

【0032】本発明の電界効果型トランジスタにおいて、ゲート電極とドレイン電極との間の距離は、ゲート電極とソース電極との間の距離よりも長いことが好ましい。いわゆるオフセット構造と呼ばれるものであり、ゲート電極のドレイン側エッジ部の電界集中をより効果的に分散・緩和することができる。また電界制御電極を形成しやすくなるという製造上の利点もある。また本発明の電界効果型トランジスタは、リセス構造を有することが好ましい。このようにすることによってゲート電極のドレイン側エッジ部の電界集中をより効果的に分散・緩和することができる。

【0033】本発明の電界効果型トランジスタにおいて、基板やチャネル層の構成材料としてGaAsをはじめとするIII-V族化合物半導体を用いることができる。III-V族化合物半導体には、GaAs、AlGaAs、InP、GaInAsPなどがある。III-V族化合物半導体からなる材料を用いることで、高速かつ高出力の電界効果型トランジスタが実現される。

【0034】本発明の電界効果型トランジスタは、たとえば増幅回路または発振回路を構成する素子として用いられる。このような用途では良好な高周波特性が必要とされるため、本発明のFETの特徴が最大限に活かされる。

【0035】以下、図面を参照して本発明の好ましい実施の形態について、さらに説明する。

【0036】（第1の実施の形態）第1の実施の形態を図1に示す。この実施の形態は、ゲート電極5とド레인電極8との間に、チャネル層2の上部に絶縁膜6を介して電界制御電極9が形成された例である。ゲート電極5は、ソース電極7およびド레인電極8の間に配置され、チャネル層2とショットキ接合している。電界制御電極9は、図のように、ゲート電極5とド레인電極8との間の、これらの電極の存在しない領域に形成される。すなわち、電界制御電極9は、ソース電極7やド레인電極8をオーバーラップしないように形成される。この電界制御電極9を設けることにより、ゲート電極5下端に発生する電界集中が分散・緩和され、耐圧特性が向上する。また、電界制御電極9は、ゲート電極5やド레인電極8とオーバーラップする部分を有しないため、図11に示した従来技術のような、電界制御電極9下の寄生容量の問題が生じない。

【0037】電界制御電極9の材質は、たとえばタングステンシリサイド(WSi)、アルミ、金、チタン/白金/金などを用いることができる。

【0038】電界制御電極9は、たとえば、全面に金属膜を蒸着した後、フォトリソistをマスクとしてイオンミリングにより不要箇所を除去するという方法により形成することができる。

【0039】この例では、いわゆるオフセット構造を有しており、ゲート電極5とド레인電極8との間の距離が、ゲート電極5とソース電極7との間の距離よりも長くなっている。このような構造をとることにより、ゲート電極5下端の電界集中がより有効に緩和される。また、電界制御電極9を形成しやすいという製造上の利点もある。

【0040】（第2の実施の形態）リセス構造を有するFETの例を図3(h)に示す。ソース電極7およびド레인電極8は、コンタクト層3にオーミック接触するように形成されている。

【0041】リセス構造をとることによってもゲート電極5下端の電界集中が緩和される。このため、リセス構

造のFETに電界制御電極9を設けた場合、リセス構造と電界制御電極9の相乗効果により、さらに効果的に電界集中が分散・緩和され、耐圧特性が向上する。

【0042】なお、この実施の形態は2段リセスの例であるが、1段リセスとして、ゲート電極直下のリセスを取り除いた構造とすることもできる。

【0043】（第3の実施の形態）第3の実施の形態を図4に示す。この実施の形態では、電界制御電極9が段差形状の絶縁膜6上に形成されている。電界制御電極9直下の絶縁膜6の厚みは、ゲート電極5側がド레인電極8側よりも薄くなっている。このため、電界制御電極9と、基板の表面と、これらに挟まれた絶縁膜6とで形成される単位面積当たりの静電容量は、ド레인側よりもゲート側の方が大きくなっている。このため、ゲート電極5下端に発生する電界集中がより効果的に分散・緩和され、耐圧特性がさらに向上する。

【0044】（第4の実施の形態）第4の実施の形態を図5に示す。

【0045】この実施の形態は、電界制御電極9を種々の形状としたものである。図5(a)および(b)は、電界制御電極9のド레인側の端部を櫛歯形状としたものであり、(c)は、電界制御電極9のド레인側の部分に複数の孔を設けたものである。いずれの形状も、式

$$C = \epsilon S / d \quad (3)$$

(C:容量  $\epsilon$ :誘電率 S:電極面積 d:電極間距離)において、ド레인側の電極面積Sを小さくすることで、電界制御電極9直下の単位面積当たりの静電容量が、ゲート側よりもド레인側の方が小さくなるようにしたものである。このようにすることによって、前述の第3の実施の形態についての説明で述べたのと同様に、ゲート電極5下端に発生する電界集中が、より効果的に分散・緩和される。

【0046】（第5の実施の形態）第5の実施の形態を図6に示す。この実施の形態は、電界制御電極9直下の絶縁膜に高誘電率膜11を用いたものである。高誘電率膜11の材料としては、酸化タンタル( $Ta_2O_5$ )、チタン酸ストロンチウム( $SrTiO_3$ )、チタン酸バリウム( $BaTiO_3$ )、チタン酸バリウム・ストロンチウム( $Ba_xSr_{1-x}TiO_3$  ( $0 < x < 1$ ))、タンタル酸ビスマス・ストロンチウム( $SrBi_2Ta_2O_9$ )より選ばれるいずれかの材料が好ましい。

【0047】図では基板全面に高誘電率膜11が形成されているが、電界制御電極9直下の部分にのみ高誘電率膜11を形成してもよい。このようにすることによって、FETの高周波特性の低下を最小限に抑えることができる。

【0048】（第6の実施の形態）第6の実施の形態を図8(i)に示す。この実施の形態は、電界制御電極9の下にフロート電極91を設けたものである。電界制御

電極 9 の下にフロート電極 91 を設けることで、電界制御電極に対する電圧印加をオフにしたときでも、ゲート電極のドレイン側エッジ部の電界集中が分散・緩和される。印加オフ時にもフロート電極 91 に電子が保持されるからである。

【0049】（第 7 の実施の形態）第 7 の実施の形態を図 9 に示す。この実施の形態は、電界制御電極 9 を複数設けた例である。電界制御電極 9 を複数設けることにより、ゲート電極のドレイン側エッジ部に発生する電界集中が、より効果的に分散・緩和される。各電界制御電極に印加する電圧は、同じであっても異なってもよい。例えば、すべての電界制御電極をゲート電極と接続し同電位とすることができる。また、複数の電界制御電極のうち、ゲート電極に最も近いものをゲート電極と同電位にし、それ以外のものの一部をソース電極と同電位とすることができる。このようにすることによってゲートドレイン間容量を低減することができる。また、複数の電界制御電極に印加される電圧をダイナミックに変動させてもよい。

【0050】（第 8 の実施の形態）第 8 の実施の形態を図 10 に示す。この実施の形態は、ゲート電極 5 とソース電極 7 との間にサブ電極 13 を設けた例である。

【0051】この実施形態では、電界制御電極 9 はゲート電極 5 と接続され、耐圧特性が向上する。

【0052】またサブ電極 13 はドレイン電極 8 と接続され、プラスの電圧が印加される。これによりサブ電極 13 直下の領域は低抵抗となって電流が流れやすくなり、素子の高効率化を図ることができる。

【0053】このように電界制御電極 9 とサブ電極 13 の両方を設けることにより、高い相互コンダクタンスおよび低い ON 抵抗を有しながら良好な耐圧特性を示す FET を得ることができる。なお、本実施形態では電界制御電極とサブ電極の両方を設けているが、サブ電極のみを設けてもよい。この場合、素子の高効率化を図ることができる。

【0054】

【実施例】（実施例 1）本実施例の FET は、図 3（h）に示すように、リセス構造を有し、ゲート電極 5 とドレイン電極 8 との間に電界制御電極 9 が設けられている。以下、図 2、3 を参照して本実施例の FET の製造方法について説明する。

【0055】まず、半絶縁性 GaAs 基板 1 上に MBE 法により、Si を  $2 \times 10^{17} \text{ cm}^{-3}$  ドープした N 型 GaAs チャンネル層 2（厚さ 230 nm）、Si を  $5 \times 10^{17} \text{ cm}^{-3}$  ドープした N 型 GaAs コンタクト層 3（厚さ 150 nm）を成長させる（図 2（a））。

【0056】つぎにレジスト（図示せず）をマスクとして硫酸系または磷酸系の水溶液を用いて、コンタクト層 3 をウェットエッチングし、リセスを形成する（図 2（b））。

【0057】つづいて CVD 法により厚さ 200 nm の  $\text{SiO}_2$  からなる絶縁膜 4 を全面に堆積した後、ゲート電極形成箇所の絶縁膜 4 を  $\text{CHF}_3$  または  $\text{SF}_6$  を用いてドライエッチングする（図 2（c））。次いで絶縁膜 4 をマスクとして電極形成箇所のチャンネル層 2 を 30 nm 程度エッチングする（図 2（d））。

【0058】次に、全面に 100 nm の WSi 膜、150 nm の TiN 膜、15 nm の Pt 膜、400 nm の Au 膜、25 nm の TiN 膜をこの順でスパッタ蒸着する。その後、ゲート電極形成箇所にのみフォトレジストを設け、イオンミリングにより不要箇所を除去してゲート電極 5 を形成する（図 2（e））。

【0059】次に CVD 法により全面に  $\text{SiO}_2$  からなる絶縁膜 6 を 100 nm 堆積する（図 3（f））。この絶縁膜 6 は、FET 製作の全工程を通して半導体の表面を保護し、デバイス特性のプロセスごとの変動を抑止する。

【0060】次に、ドレイン電極形成箇所とゲート電極 5 との間に電界制御電極 9 を形成する。まず全面に 50 nm の Ti 膜、30 nm の Pt 膜、200 nm の Au 膜をこの順で真空蒸着する。その後、所定箇所にフォトレジストを設けイオンミリングにより不要箇所を除去することにより電界制御電極を形成する（図 3（g））。

【0061】つづいて絶縁膜 6 の所定箇所をエッチングしてコンタクト層 3 を露出させ、8 nm の Ni 膜、50 nm の AuGe 膜、250 nm の Au 膜をこの順で真空蒸着し、ソース電極 7 とドレイン電極 8 とを形成し、FET を完成する（図 3（h））。

【0062】なお、本実施例ではチャンネル層 2、コンタクト層 3 を MBE 法により形成したが、MOCVD 法により形成することもできる。

【0063】（実施例 2）本実施例は、実施例 1 の FET の電界制御電極 9 の形状を変化させたものである（図 5）。

【0064】フォトレジストをマスクとして所定の形状にエッチングすることにより、図に示す種々の形状の電界制御電極 9 を得ることができる。

【0065】（実施例 3）本実施例は、絶縁膜として高誘電率材料の  $\text{Ta}_2\text{O}_5$  を用いた例である。以下、図 6 を参照して説明する。

【0066】図中、ゲートドレイン間の領域に、プラズマ CVD 法により厚さ 50 nm の  $\text{SiO}_2$  からなる低誘電率膜 12 を形成した後、その上にスパッタ法により厚さ 200 nm の  $\text{Ta}_2\text{O}_5$  からなる高誘電率膜 11 を形成することにより、本実施例の FET を作製することができる。

【0067】高誘電率材料を用いることで絶縁膜を厚くすることができ、保護膜の破壊や電流リークを防止することができる。

【0068】本実施例では全面に高誘電率膜 11 が形成



されているが、電界制御電極9直下の部分にのみ形成してもよい。このようにすれば高周波特性の劣化を最小限に抑えることができる。

【0069】(実施例4) 本実施例は、ゲート電極5とソース電極7との間にサブ電極9を設けた例である(図10)。絶縁膜6の厚みは100nmである。

【0070】(実施例5) 本実施例は、電界制御電極9の下にフロート電極を設けたものである。以下、図7、8を参照して本実施例のFETの製造方法について説明する。

【0071】まず、実施例1と同様にして、GaAsチャネル層2(厚さ230nm)、N型GaAsコンタクト層3(厚さ150nm)を成長させ(図7(a))、リセスエッチングを行った後(図7(b))、ゲート電極5を形成する(図7(c)~(e))。

【0072】つづいて、プラズマCVD法により厚さ30nmのSiO<sub>2</sub>からなる絶縁膜下層63を全面に堆積する(図8(f))。

【0073】次に、30nmのTi膜、15nmのPt膜、150nmのAu膜をこの順で真空蒸着する。その後、所定箇所にフォトレジストを形成し、イオンミリングにより不要箇所を除去してフロート電極91を形成する。なお本実施例のフロート電極91の幅は0.5μmである(図8(g))。

【0074】つづいて、プラズマCVD法により厚さ80nmのSiO<sub>2</sub>からなる絶縁膜上層64を全面に堆積する(図8(h))。

【0075】次に、ドレイン電極形成箇所とゲート電極5との間に電界制御電極9を形成する。まず全面に50nmのTi膜、30nmのPt膜、200nmのAu膜をこの順で真空蒸着する。その後、所定箇所にフォトレジストを設けイオンミリングにより不要箇所を除去することにより電界制御電極を形成する(図8(i))。

【0076】つづいて絶縁膜6の所定箇所をエッチングしてコンタクト層3を露出させ、8nmのNi膜、50nmのAuGe膜、250nmのAu膜をこの順で真空蒸着し、ソース電極7とドレイン電極8とを形成し、FETを完成する。

【0077】(実施例6) 本実施例は、電界制御電極9を段差状に設けた例である(図4)。このような形状の電界制御電極は、エッチングを繰り返し行うことで絶縁膜6に段差を形成し、この上に金属膜を蒸着することにより得られる。絶縁膜6の厚みは、ゲート電極側の端部で100nm、ドレイン電極側の端部で200nmである。

【0078】(実施例7) 本実施例は、電界制御電極9を複数設けた例である(図9)。本実施例において、ゲート電極と、ドレイン側コンタクト層3のリセスとの間の幅は3μmであり、個々の電界制御電極の幅は0.5

μmである。電界制御電極間の距離は0.3μmである。

【0079】

【発明の効果】 以上説明したように、本発明のFETによれば、ゲート電極とドレイン電極との間に電界制御電極が形成されているため、良好な高周波特性を維持しつつ、ゲート電極のドレイン側エッジ部の電界集中が緩和され、耐圧特性が改善される。

【0080】 また、ゲート電極とソース電極との間にサブ電極を設けることにより、サブ電極直下のチャネル層の抵抗を低減でき、素子の高効率化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の電界効果型トランジスタの断面図である。

【図2】 本発明の電界効果型トランジスタの工程断面図である。

【図3】 本発明の電界効果型トランジスタの工程断面図である。

【図4】 本発明の電界効果型トランジスタの断面図である。

【図5】 本発明の電界効果型トランジスタの断面図および電界制御電極部分の上面図である。

【図6】 本発明の電界効果型トランジスタの断面図である。

【図7】 本発明の電界効果型トランジスタの工程断面図である。

【図8】 本発明の電界効果型トランジスタの工程断面図である。

【図9】 本発明の電界効果型トランジスタの断面図である。

【図10】 本発明の電界効果型トランジスタの断面図である。

【図11】 従来の電界効果型トランジスタの断面図である。

【図12】 従来の電界効果型トランジスタにおけるゲート下端の電界集中を説明するための図である。

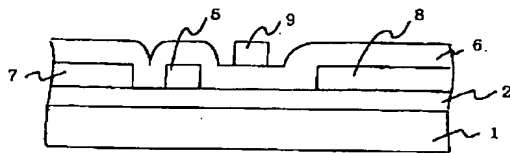
【符号の説明】

- 1 GaAs基板
- 2 チャネル層
- 3 コンタクト層
- 4 絶縁膜
- 5 ゲート電極
- 6 絶縁膜
- 7 ソース電極
- 8 ドレイン電極
- 9 電界制御電極
- 10 フロート電極
- 11 高誘電率膜
- 12 低誘電率膜

- 13 サブ電極  
20 カバー電極  
21 寄生容量

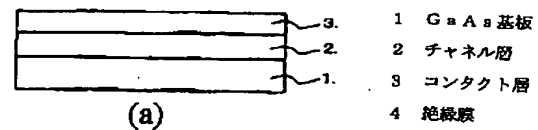
- 63 絶縁膜下層  
64 絶縁膜上層  
91 フロート電極

【図1】

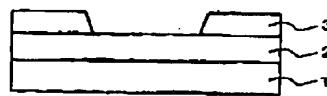


- 1 GaAs基板  
2 チャネル層  
5 ゲート電極  
6 絶縁膜  
7 ソース電極  
8 ドレイン電極  
9 電界制御電極

【図2】



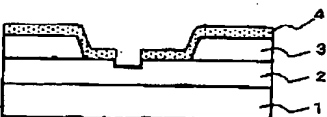
(a)



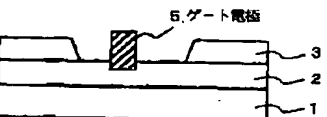
(b)



(c)

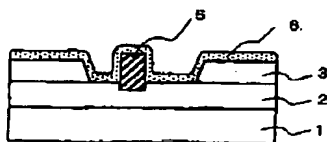


(d)

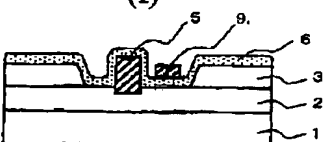


(e)

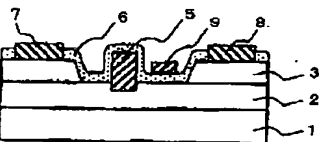
【図3】



(f)



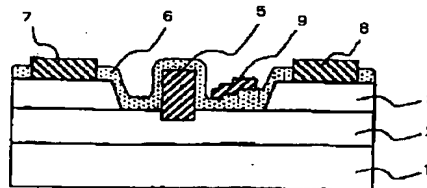
(g)



(h)

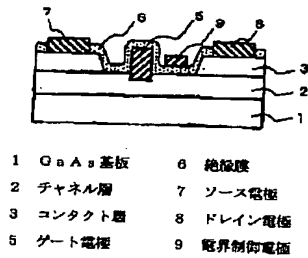
- 1 GaAs基板  
2 チャネル層  
3 コンタクト層  
5 ゲート電極  
6 絶縁膜  
7 ソース電極  
8 ドレイン電極  
9 電界制御電極

【図4】

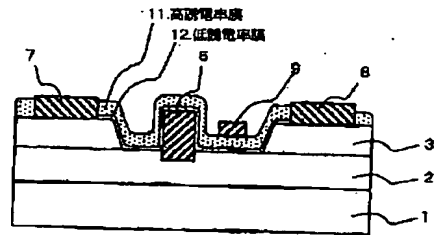


- 1 GaAs基板  
2 チャネル層  
3 コンタクト層  
5 ゲート電極  
6 絶縁膜  
7 ソース電極  
8 ドレイン電極  
9 電界制御電極

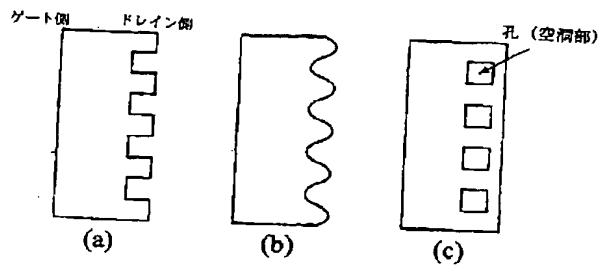
【図5】



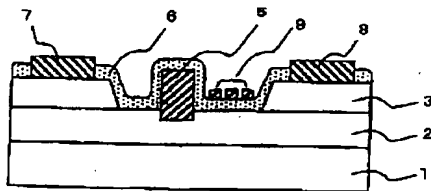
【図6】



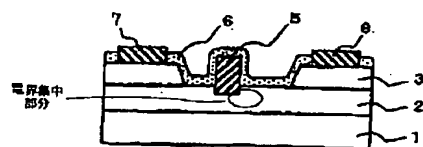
電界制御電極9の平面図



【図9】

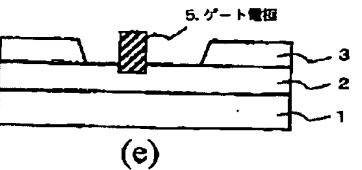
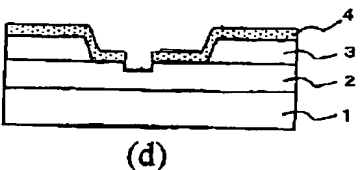
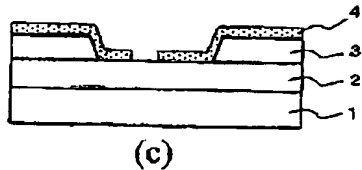
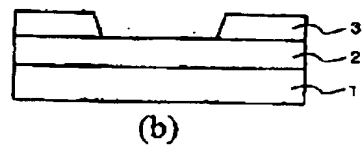
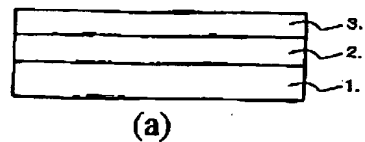


【図12】



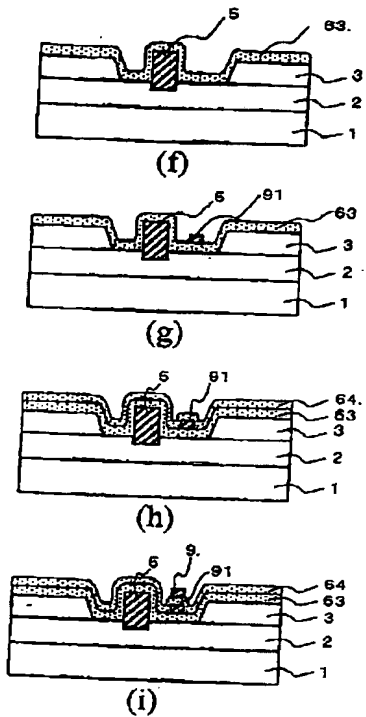
- 1 GaAs基板 6 絶縁膜  
2 チャネル層 7 ソース電極  
3 コンタクト層 8 ドレイン電極  
5 ゲート電極

【図7】



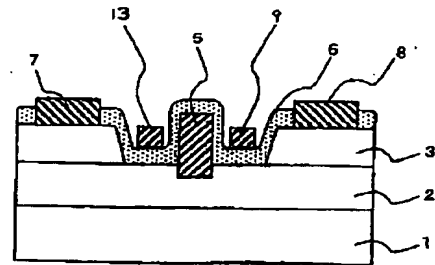
- 1 GaAs基板  
2 チャネル層  
3 コンタクト層  
4 絶縁膜

【図 8】



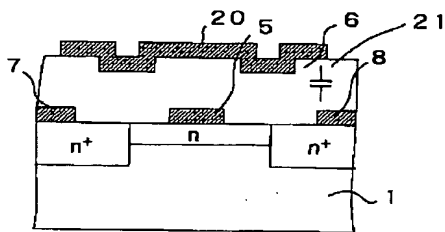
- 1 GaAs 基板  
2 チャネル層  
3 コンタクト層  
5 ゲート電極  
9 電界制御電極  
63 絶縁膜下層  
64 絶縁膜上層  
91 フロート電極

【図 10】



- 1 GaAs 基板  
2 チャネル層  
3 コンタクト層  
5 ゲート電極  
6 絶縁膜  
7 ソース電極  
8 ドレイン電極  
9 電界制御電極  
13 サブ電極

【図 11】



- 1 GaAs 基板  
5 ゲート電極  
6 絶縁膜  
7 ソース電極  
8 ドレイン電極  
20 カバー電極  
21 寄生容量

フロントページの続き

- (72) 発明者 梨本 泰信  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内  
(72) 発明者 麻埜 和則  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

- (72) 発明者 三好 陽介  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内  
(72) 発明者 望月 康則  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

Fターム(参考) 5F058 BA01 BB02 BC02 BC03 BF02  
BF07  
5F102 FA01 GB01 GC01 GD01 GJ04  
GJ05 GJ06 GL04 GL05 GN05  
GR04 GR12 GT03 GT05 GV05  
HC01 HC11 HC15